Synthèse Logique / VHDL

ECTS
3 crédits

Structure de formation
Faculté des Sciences

Présentation

Description

- Synthèse de contrôleur.

- Synthèse robuste et gestion d’aléas.

- Représentation et synthèse de machines synchrones.

- Langage de description/synthèse.

- Les base du langage VHDL (entité, architecture, …).

- Descriptions comportementales et structurelles.

- Simulation (Testbench).

- Les circuits reprogrammables (SPLD, CPLD, FPGA).

Objectifs

- Maîtriser la représentation par graphe d’état d’un système.

- Synthétiser un graphe d’état (avec la notion de robustesse et de gestion des aléas)

- Rendre l’étudiant capable d’utiliser un langage de description de haut niveau (VHDL) pour décrire un circuit/système.

- Maîtriser le flot de programmation des circuits programmables (Utilisation de l’outil Vivado de Xilinx).

Informations non contractuelles.
Dernière mise à jour le 14 février 2025

Heures d'enseignement

Synthèse Logique / VHDL - TP	Travaux Pratiques	15h
Synthèse Logique / VHDL - CM	Cours Magistral	12h

Pré-requis obligatoires

Logique combinatoire et séquentielle.

Informations complémentaires

CM : 12h

TP : 15h

Infos pratiques

Contacts

Responsable pédagogique

Arnaud VIRAZEL

arnaud.virazel@umontpellier.fr

Informations non contractuelles.
Dernière mise à jour le 14 février 2025